

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07106285  
PUBLICATION DATE : 21-04-95

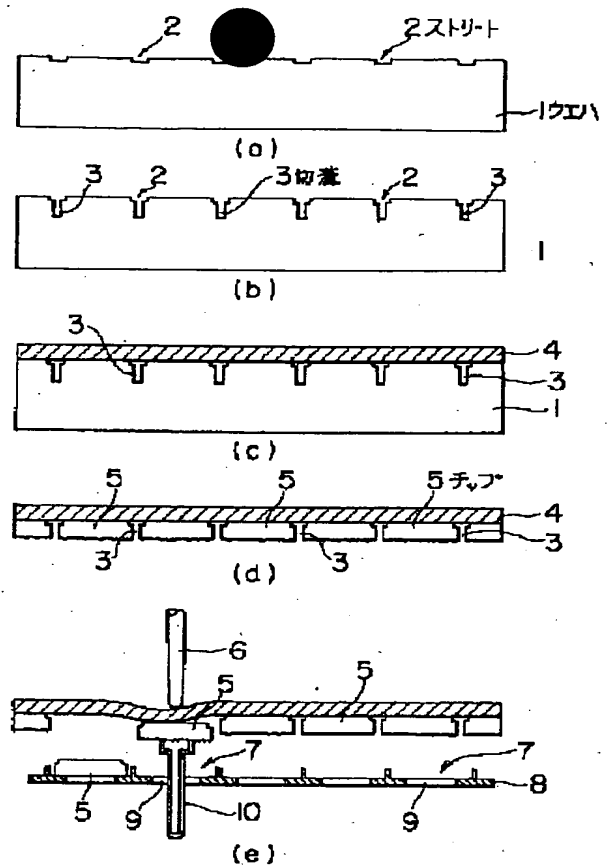
APPLICATION DATE : 08-10-93  
APPLICATION NUMBER : 05277793

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : TOMINAGA YUKIHIRO;

INT.CL. : H01L 21/301

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent crack and break of a wafer when the wafer is divided into individual chips.

CONSTITUTION: In the semiconductor manufacturing method for dividing a wafer 1, on one surface of which streets 2 are formed, into individual chips 5, dicing trenches 3 having a specified depth are formed along the streets on the one surface of the wafer 1. Next the other surface of the wafer 1 is ground, and the wafer 1 is divided into individual chips 5 while applying the previously formed dicing trenches 3 to boundaries.

COPYRIGHT: (C)1995,JPO

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106285

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.<sup>4</sup>

H 0 1 L 21/301

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 78

Q

L

M

Y

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平5-277793

(22) 出願日 平成5年(1993)10月8日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 富永 之▲廣▼

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

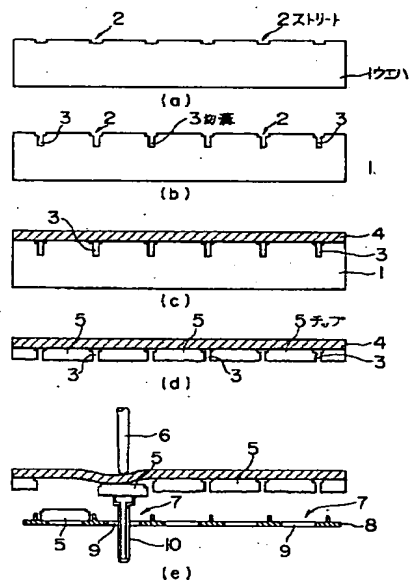
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体製造方法

(57) 【要約】

【目的】 ウエハを個々のチップに分割するに際して、ウエハの割れや欠けを防止することができる半導体製造方法を提供する。

【構成】 一方の面にストリート2が形成されたウエハ1を個々のチップ5に分割するための半導体製造方法において、まず、ストリート2に沿ってウエハ1の一方の面に所定深さの切溝3を形成し、次いで、ウエハ1の他方の面を研削して、先に形成した切溝3を境にウエハ1を個々のチップ5に分割する。



本発明の第1実施例を説明する図

1

## 【特許請求の範囲】

【請求項1】 一方の面にチップ間を仕切るストリートが形成されたウエハを個々のチップに分割するための半導体製造方法において、

先ず、前記ストリートに沿って前記ウエハの一方の面に所定深さの切溝を形成し、

次いで、前記ウエハの他方の面を研削して、前記切溝を境に前記ウエハを個々のチップに分割することを特徴とする半導体製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ウエハを個々のチップに分割するための半導体製造方法に関するものである。

【0002】

【従来の技術】 一般に、ウエハプロセスでは、主に直径6インチ（約15cm）および8インチ（約20cm）のウエハを使用する。そして、ウエハプロセスに必要な強度や剛性、さらには取扱いやすさなどの面から、ウエハ厚は625μmもしくは725μm程度のものを多く使用する。ところで、LSIの機能としては、チップ表面の数μmを活用するだけなので、ウエハプロセス完了後はパッケージ形態に合わせてウエハを薄くする。特に、近年においては、電子機器の軽薄短小化指向に伴い、パッケージの薄型化、そしてウエハの薄型化が進んでいる。

【0003】 図4は従来のウエハプロセス完了後における半導体製造方法を説明する図である。図4（a）は、ウエハプロセス完了時の状態を示しており、この状態ではウエハ31の表面（チップ形成面）にチップ（不図示）間を仕切るストリート32が形成されている。このストリート32はウエハ31の表面に格子状に形成されている。このウエハ31を個々のチップに分割する場合、従来では、先ず図4（b）に示すように、ウエハ31の表面に保護テープ33を貼り付けてLSI回路を保護し、この状態でウエハ31の裏面を研削して、ウエハ1の厚さを最終的なチップの仕上げ厚とする。

【0004】 次いで、図4（c）に示すように、ウエハ31の表面から保護テープ33を剥がし、今度はウエハ31の裏面にウエハシート34を貼り付ける。さらに、図示せぬダイヤモンドブレードを高速回転させて回転研削を行い、ウエハ上のストリート32に沿って切溝35を形成する。このとき、ダイヤモンドブレードはウエハシート34に到達する深さで切り込まれ、これによってウエハ31は切溝35を境に個々のチップ36に分割される。

【0005】 さらに、分割したチップ36をトレーに移し変える場合は、図4（d）に示すように、ウエハシート34を図示せぬエキスパンダ装置で円周方向に引き延ばし、チップ36同士の間隔を拡げる。続いて、図4（e）に示すように、ウエハシート34の下方からピッ

2

カー37でチップ36を突き上げ、これをコレット38で吸着保持してウエハシート34から剥離する。その後、コレット38を移動してチップ36を図示せぬトレーに移載する。

【0006】

【発明が解決しようとする課題】 しかしながら上記従来の半導体製造方法においては、ウエハ31の裏面を研削して最終的なチップ36の仕上げ厚に加工したのち、ストリート32に沿って切溝35を形成し、ウエハ31を個々のチップ36に分割していたので、ウエハ厚が薄くなることでウエハ自体の強度や剛性が低下し、裏面研削後のウエハ搬送や電気的特性測定時、さらにはウエハシート34の接着時において、ウエハの割れや欠けが発生するという問題があった。

【0007】 本発明は、上記問題を解決するためになされたもので、ウエハを個々のチップに分割するに際して、ウエハの割れや欠けを防止することができる半導体製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされたもので、一方の面にチップ間を仕切るストリートが形成されたウエハを個々のチップに分割するための半導体製造方法において、先ず、上記ストリートに沿ってウエハの一方の面に所定深さの切溝を形成し、次いで、ウエハの他方の面を研削して、先に形成した切溝を境にウエハを個々のチップに分割するようにしたものである。

【0009】

【作用】 本発明の半導体製造方法においては、ウエハの一方の面（チップ形成面）に切溝を形成したのち、ウエハの他方の面を研削して、切溝を境にウエハを個々のチップに分割するため、ウエハを分割する直前までウエハがウエハプロセス完了時の厚さのままを取り扱われることから、ウエハ搬送時や電気的特性測定時におけるウエハ自体の強度や剛性が十分に確保され、これによりウエハの割れや欠けが防止される。

【0010】

【実施例】 以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明に係わる半導体製造方法の第1実施例を説明する図である。図1（a）は、ウエハプロセス完了時の状態を示しており、この状態ではウエハ1の表面（チップ形成面）にチップ（不図示）間を仕切る平面格子状のストリート2が形成されている。このウエハ1を個々のチップに分割する場合、本第1実施例では、先ず図1（b）に示すように、ウエハ1上のストリート2に沿って切溝3を形成する。切溝3の形成方法としては、ダイヤモンドブレード法、レーザスクライブ法、ダイヤモンドポイントスクライブ法といった3つの方法が考えられるが、本実施例では最もポピュラーなダイヤモンドブレード法を用いて、言わば準ハ

ーフカット方式でウエハ1に切溝3を形成した。また、ウエハ1に対するダイヤモンドブレードの切り込み量を、最終的なチップの仕上げ厚よりも大きく設定して、チップ表面からの切溝3の深さ寸法をチップ仕上げ厚よりも若干大きめにした。

【0011】次いで、図1(c)に示すように、ウエハ1の表面に樹脂を素材とした保護テープ4を貼り付ける。保護テープ4の貼り付けは、例えばゴムローラ方式を用いた図示せぬ保護テープ貼り機によって行う。

【0012】続いて、図1(d)に示すように、ウエハ1の裏面を図示せぬバックグラインダで研削し、これにより切溝3を境にウエハ1を個々のチップ5に分割する。

【0013】ここで、裏面研削によって分割されるチップ5の固定状態は、保護テープ4との接着だけで保持されるため、保護テープ4としては接着力の強いものを選定の方が好ましい。加えて、保護テープ4の選定にあたっては、分割後に保護テープ4からチップ5を剥離させることを考慮し、紫外線照射により接着剤が硬化してテープ自体の接着力が低下するものが好ましい。

【0014】さらに、ウエハ1から分割したチップ5をトレーに移し変える場合は、図1(e)に示すように、保護テープ4の上方からピッカー6を突いてチップ5を押し下げる。このとき、チップ5の下方には、チップ5の配列に対応した複数の収納部7を有するトレー8を配置しておき、収納部7の中央部に明けた孔9を通してコレット10を突き上げる。これにより、ピッカー6で押し下げたチップ5の裏面に、下方から突き上げたコレット10の先端を当接させてチップ5を吸着保持し、この状態からコレット10を引き戻して保護テープ4からチップ5を剥離する。

【0015】続いて、チップ5の裏面がトレー8の収納部7に収まる寸前にコレット10の真空吸着を解除し、さらにコレット10をトレー8の下方に退避させることで、チップ5をトレー8の収納部7に移載する。以降は、保護テープ4とトレー8とが同一ピッチで移動する度に、上記同様のピックアップ動作を繰り返して、保護テープ4に貼着したチップ5を次々にトレー8の収納部7に移載していく。

【0016】このように本第1実施例の半導体製造方法においては、ストリート2に沿ってウエハ1の表面に切溝3を形成したのち、ウエハ1の裏面を研削して、切溝3を境にウエハ1を個々のチップ5に分割するため、ウエハ1が個々のチップ5に分割される直前までウエハ1がウエハプロセス完了時の厚さのままで取り扱われるため、ウエハプロセス完了後のウエハ搬送時や電気的特性測定時におけるウエハ自体の強度ならびに剛性が十分に確保され、これによってウエハの割れや欠けが防止される。

【0017】また本第1実施例では、分割したチップ5

をトレー8に移載する場合、チップ5の裏面をコレット10で吸着保持して、そのままコレット10を下降させることでチップ5をトレー8に移載できるため、従来のようにチップを吸着保持したコレットを水平移動させてトレーに移載する場合に比べてチップの移載手順が簡略化され、ウエハ1から分割したチップ5を効率良くトレー8に移載できるようになる。

【0018】図2は本発明に係わる半導体製造方法の第2実施例を説明する図である。図2(a)は、ウエハプロセス完了時の状態を示しており、この状態ではウエハ1の表面(チップ形成面)にチップ(不図示)間を仕切る平面格子状のストリート2が形成されている。このウエハ1を個々のチップに分割する場合は、先ず図2(b)に示すように、ウエハ1上のストリート2に沿って所定深さの切溝3を形成する。ここまでは上記第1実施例の場合と同様である。

【0019】続いて、本第2実施例では、図2(c)に示すように、ウエハ1の表面に加熱液状化したコート材11を例えばスピンコート方式によって塗布し、ウエハ表面をコート材11で被覆するとともに、先に形成した切溝3にコート材11を充填する。その後、ウエハ表面に塗布されたコート材11は自然冷却または強制冷却によって固化する。ちなみに、コート材11を塗布する前に、予めウエハ1をコート材11と同程度の温度に加熱しておくこと、スピンコートの均一性が高まって好適である。

【0020】次いで、図2(d)に示すように、ウエハ1の表面にコート材11を介して保護テープ4を貼り付け、この状態からウエハ1の裏面をバックグラインダ(不図示)により研削することで、切溝3を境にウエハ1を個々のチップ5に分割する。

【0021】さらに、ウエハ1から分割したチップ5をトレーに移し変える場合は、図2(e)に示すように、保護テープ4の上方からピッカー6を突いてチップ5を押し下げ、これを下方から突き上げたコレット10で吸着保持して、そのままトレー8の収納部7に移載する。チップの移載方法については上記第1実施例の場合と同様である。

【0022】このように本第2実施例の半導体製造方法においては、ストリート2に沿ってウエハ1の表面に切溝3を形成したのち、ウエハ1の裏面を研削して、切溝3を境にウエハ1を個々のチップ5に分割するため、上記第1実施例と同様に、ウエハプロセス完了後のウエハ搬送時や電気的特性測定時におけるウエハ自体の強度ならびに剛性が十分に確保されることから、従来のようなウエハの割れや欠けが防止される。

【0023】また本第2実施例では、チップ分割用の切溝3を形成したのち、ウエハ1の表面に塗布したコート材11で切溝3を埋め込み、この状態から保護テープ4を貼り付けてウエハ1の裏面を研削するようにしたの

で、裏面研削の途中で分割されるチップ5の固定状態が、切溝3に埋め込まれたコート材11によって安定したものとなり、これによって裏面研削時のチップ5の微動に伴うクラックの発生が未然に防止される。

【0024】さらに本第2実施例においても、上記第1実施例と同様の手順でチップ5をトレー8に移載できるため、従来に比べてチップの移載手順が簡略化され、ウエハ1から分割したチップ5を効率良くトレー8に移載できるようになる。

【0025】図3は本発明に係わる半導体製造方法の第3実施例を説明する図である。図3(a)は、ウエハプロセス完了時の状態を示しており、この状態ではウエハ1の表面(チップ形成面)にチップ(不図示)間を仕切る平面格子状のストリート2が形成されている。このウエハ1を個々のチップに分割する場合は、先ず図3(b)に示すように、ウエハ1上のストリート2に沿って所定深さの切溝3を形成し、その後、ウエハ1の表面に保護テープ4を貼り付けた状態でウエハ1の裏面を研削し、ウエハ1の厚さを最終的なチップの仕上げ厚とする。ここで、本第3実施例の場合は、ウエハ1に対するダイヤモンドブレードの切り込み量を、最終的なチップの仕上げ厚よりも小さく設定して、チップ表面からの切溝3の深さ寸法をチップ仕上げ厚よりも若干小さめにしている。

【0026】次いで、図3(c)に示すように、ウエハ1の裏面にウエハシート12を貼り付けて、ウエハ1の表裏面を保護テープ4とウエハシート12とで被覆する。続いて、ローラーブレイク法等によりウエハ1全体に機械的な曲げ応力を与えることで、ウエハ1の結晶軸に沿ったクラック1aを発生させ、これにより図3(d)に示すように切溝3を境にウエハ1を個々のチップ5に分割する。以降は、図3(e)に示すように、チップ5の表面から保護テープ4を剥離したのち、ウエハシート12を円周方向に引き延ばしてチップ5同士の間隔を拡げ、図示せぬコレットでチップ5を一個ずつトレー(不図示)に移載する。

【0027】このように本第3実施例の半導体製造方法においては、ストリート2に沿ってウエハ1の表面に切

溝3を形成したのち、ウエハ1の裏面を研削し、さらにウエハ1全体に機械的な曲げ応力を与えて、切溝3を境にウエハ1を個々のチップ5に分割するため、上記第1実施例および第2実施例と同様に、ウエハプロセス完了後のウエハ搬送時や電気的特性測定時におけるウエハ自体の強度ならびに剛性が十分に確保されることから、従来のようなウエハの割れや欠けが防止される。

【0028】また本第3実施例では、ウエハ1の裏面を研削してウエハ厚を最終的なチップ仕上げ厚に加工した状態(図3(c)の状態)でも、未だウエハ1は完全に分割されておらず、その後の機械的な曲げ応力の付与によって分割されるため、非常に安定した固定状態のもとでウエハ1の裏面を研削することができる。

【0029】

【発明の効果】以上説明したように、本発明の半導体製造方法によれば、ウエハを分割する直前までウエハがウエハプロセス完了時の厚さのままを取り扱われることから、ウエハ搬送時や電気的特性測定時におけるウエハ自体の強度や剛性が十分に確保されるため、ウエハを個々のチップに分割する際のウエハの割れや欠けを防止することが可能となる。このことは、特にICカードに代表されるようなチップ仕上げ厚が200μm程度以下の薄型ウエハや、直径が8インチ以上的大型ウエハなどを取り扱う場合などにきわめて有効である。

【図面の簡単な説明】

【図1】本発明に係わる半導体製造方法の第1実施例を説明する図である。

【図2】本発明に係わる半導体製造方法の第2実施例を説明する図である。

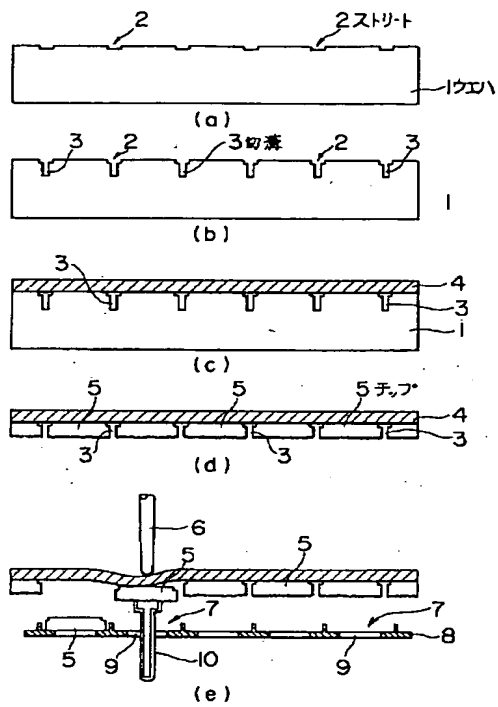
【図3】本発明に係わる半導体製造方法の第3実施例を説明する図である。

【図4】従来の半導体製造方法を説明する図である。

【符号の説明】

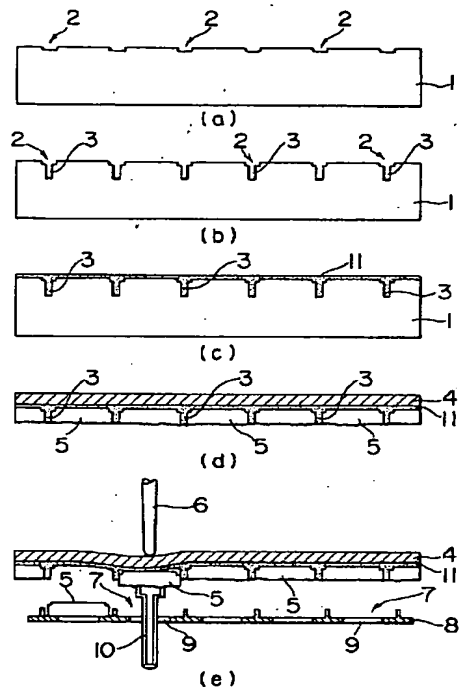
- 1 ウエハ
- 2 ストリート
- 3 切溝
- 5 チップ

【図1】



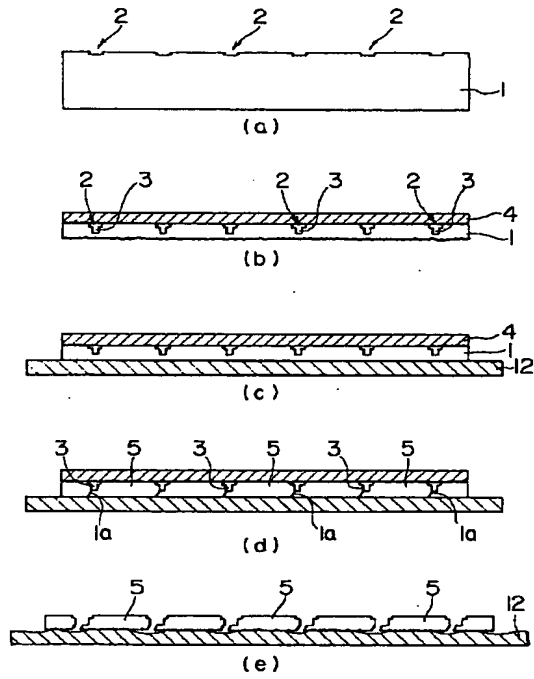
本発明の第1実施例を説明する図

【図2】



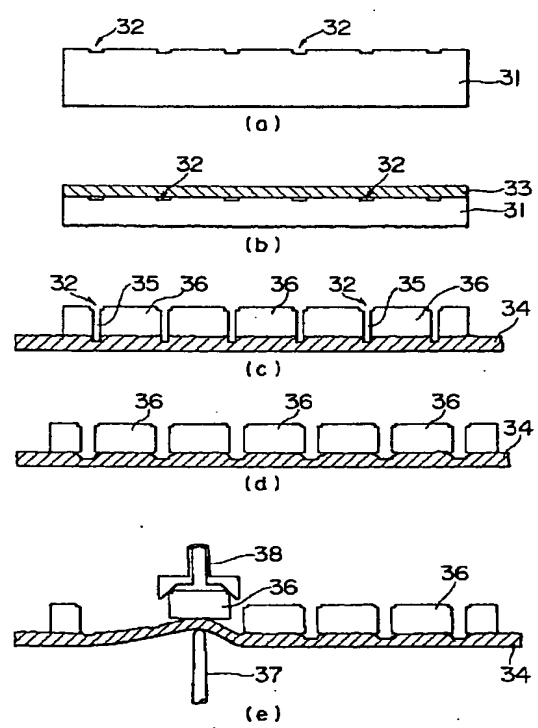
本発明の第2実施例を説明する図

【図3】



本発明の第3実施例を説明する図

【図4】



従来例を説明する図



[JP,07-106285,A]

Claim(s)]

[Claim 1] The semi-conductor manufacture approach which forms the cut groove of the pre-determined depth in one field of said wafer along said street, subsequently carries out grinding of the field of another side of said wafer first in the semi-conductor manufacture approach for dividing into each chip the wafer with which the street which divides into one field between chips was formed, and is characterized by dividing said wafer into each chip bordering on said cut groove.

---

[Translation done.]

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semi-conductor manufacture approach for dividing a wafer into each chip.

[0002]

[Description of the Prior Art] Generally, in a wafer process, the diameter of 6 inches (about 15cm) and a 8 inches (about 20cm) wafer are mainly used. And wafer thickness uses many things (625 micrometers or about 725 micrometers) for reinforcement and rigidity required for a wafer process, and a pan from the field of the ease of dealing with it etc. By the way, as a function of LSI, since several micrometers on the front face of a chip are only utilized, after wafer process completion makes a wafer thin according to a package gestalt. Especially, in recent years, thin-shape-izing of a package and thin shape-ization of a wafer are progressing with small and light-ized orientation of electronic equipment.

[0003] Drawing 4 is drawing explaining the semi-conductor manufacture approach after the conventional wafer process completion. Drawing 4 (a) shows the condition at the time of wafer process completion, and the street 32 which divides into the front face (chip forming face) of a wafer 31 between chips (un-illustrating) is formed in this condition. This street 32 is formed in the front face of a wafer 31 in the shape of a grid. By the former, when you divide this wafer 31 into each chip, as first shown in drawing 4 (b), masking tape 33 is stuck on the front face of a wafer 31, and an LSI circuit is protected, carry out grinding of the rear face of a wafer 31 in this condition, and let thickness of a wafer 1 be the finishing thickness of a final chip.

[0004] Subsequently, as shown in drawing 4 (c), masking tape 33 is removed from the front face of a wafer 31, and the wafer sheet 34 is shortly stuck on the rear face of a wafer 31. Furthermore, high-speed rotation of the diamond blade which is not illustrated is carried out, rotation grinding is performed, and a cut groove 35 is formed along the street 32 on a wafer. At this time, a diamond blade is deeply cut in the depth which reaches the wafer sheet 34, and a wafer 31 is divided into each chip 36 by this bordering on a cut groove 35.

[0005] Furthermore, when moving and changing the divided chip 36 into a tray, as shown in drawing 4 (d), the expander equipment which does not illustrate the wafer sheet 34 extends to a circumferencial direction, and spacing of chip 36 comrades is extended. Then, as shown in drawing 4 (e), a chip 36 is thrust up by the picker 37 from the lower part of the wafer sheet



34, adsorption maintenance of this is carried out by the collet 38, and it exfoliates from the wafer sheet 34. Then, it transfers to the tray which moves a collet 38 and does not illustrate a chip 36.

[0006]

[Problem(s) to be Solved by the Invention] However, it sets to the above-mentioned conventional semi-conductor manufacture approach. Since the cut groove 35 was formed along the street 32 and the wafer 31 was divided into each chip 36 after carrying out grinding of the rear face of a wafer 31 and processing it into the finishing thickness of the final chip 36 It fell and there were reinforcement of the wafer itself, rigidity, and a problem that the crack and chip of a wafer occurred further at the time of adhesion of the wafer sheet 34, at the time of wafer conveyance and electrical-characteristics measurement after rear-face grinding because wafer thickness becomes thin.

[0007] This invention was made in order to solve the above-mentioned problem, it is faced dividing a wafer into each chip, and aims at offering the semi-conductor manufacture approach that the crack and chip of a wafer can be prevented.

[0008]

[Means for Solving the Problem] In the semi-conductor manufacture approach for dividing into each chip the wafer with which the street which was made in order that this invention might attain the above-mentioned purpose, and divides into one field between chips was formed First, the cut groove of the predetermined depth is formed in one field of a wafer along the above-mentioned street, subsequently, grinding of the field of another side of a wafer is carried out, and a wafer is divided into each chip bordering on the cut groove formed previously.

[0009]

[Function] After forming a cut groove in one field (chip forming face) of a wafer, in order to carry out grinding of the field of another side of a wafer and to divide a wafer into each chip bordering on a cut groove in the semi-conductor manufacture approach of this invention, Since a wafer is dealt with with the thickness at the time of wafer process completion until just before dividing a wafer, the reinforcement of the wafer itself and rigidity at the time of wafer conveyance and electrical-characteristics measurement are fully secured, and, thereby, the crack and chip of a wafer are prevented.

[0010]

[Example] Hereafter, it explains to a detail, referring to a drawing about the example of this invention. Drawing 1 is drawing explaining the 1st example of the semi-conductor manufacture approach concerning this invention. Drawing 1 (a) shows the condition at the time of wafer process completion, and the street 2 of the shape of plane grating which divides into the front face (chip forming face) of a wafer 1 between chips (un-illustrating) is formed in this condition. When dividing this wafer 1 into each chip, as first shown in drawing 1 (b), in the \*\*\*\* 1 example, a cut groove 3 is formed along the street 2 on a wafer 1. Although three approaches, such as the diamond blade method, the laser scribe method, and the diamond-point scribe method, could be considered as the formation approach of a cut groove 3, so to speak in this example, the cut groove 3 was formed in the wafer 1 by the semi- half cutting method using the most popular diamond blade method. Moreover, the amount of slitting of the diamond blade to a wafer 1 was set up more greatly than the finishing thickness of a final chip, and the depth dimension of the cut groove 3 from a chip front face was enlarged slightly a little rather than chip finishing thickness.

[0011] Subsequently, as shown in drawing 1 (c), the masking tape 4 made from resin is stuck on the front face of a wafer 1. The wafer protection tape applicator which used for example, the rubber roller method and which is not illustrated performs attachment of masking tape 4.

[0012] Then, as shown in drawing 1 (d), grinding is carried out with the back grinder which does not illustrate the rear face of a wafer 1, and this divides a wafer 1 into each chip 5 bordering on a cut groove 3.

[0013] It is more desirable to select the strong thing of adhesive strength as masking tape 4, since the fixed condition of the chip 5 divided by rear-face grinding is held only by adhesion



with masking tape 4 here. In addition, that to which adhesives harden by UV irradiation and the adhesive strength of the tape itself falls after division in selection of masking tape 4 in consideration of making a chip 5 exfoliate from masking tape 4 is desirable.

[0014] Furthermore, when moving and changing into a tray the chip 5 divided from the wafer 1, as shown in drawing 1 (e), a picker 6 is poked from Kamigata of masking tape 4, and a chip 5 is depressed. At this time, the tray 8 which has two or more stowages 7 corresponding to the array of a chip 5 under the chip 5 is arranged, and a collet 10 is thrust up through the hole 9 which ended in the center section of the stowage 7. Thereby, at the rear face of the chip 5 depressed by the picker 6, the tip of the collet 10 thrust up from the lower part is made to contact, adsorption maintenance of the chip 5 is carried out, a collet 10 is pulled back from this condition, and a chip 5 is exfoliated from masking tape 4 at it.

[0015] Then, just before the rear face of a chip 5 is settled in the stowage 7 of a tray 8, vacuum adsorption of a collet 10 is canceled, and a chip 5 is transferred to the stowage 7 of a tray 8 by evacuating a collet 10 under the tray 8 further. The pickup actuation same whenever masking tape 4 and a tray 8 move in the same pitch henceforth as the above is repeated, and the chip 5 stuck on masking tape 4 is transferred to the stowage 7 of a tray 8 one after another.

[0016] Thus, it sets to the semi-conductor manufacture approach of \*\*\*\* 1 example. After forming a cut groove 3 in the front face of a wafer 1 along a street 2, in order to carry out grinding of the rear face of a wafer 1 and to divide a wafer 1 into each chip 5 bordering on a cut groove 3, Since a wafer 1 is dealt with with the thickness at the time of wafer process completion until just before a wafer 1 is divided into each chip 5, The reinforcement of the wafer itself and rigidity at the time of wafer conveyance after wafer process completion and electrical-characteristics measurement are fully secured, and the crack and chip of a wafer are prevented by this.

[0017] Moreover, since a chip 5 can be transferred to a tray 8 by carrying out adsorption maintenance of the rear face of a chip 5 by the collet 10, and dropping a collet 10 as it is when transferring the divided chip 5 to a tray 8 in the \*\*\*\* 1 example, The transfer procedure of a chip is simplified compared with the case where carry out horizontal migration of the collet which carried out adsorption maintenance of the chip like before, and it transfers to a tray, and the chip 5 divided from the wafer 1 can be efficiently transferred now to a tray 8.

[0018] Drawing 2 is drawing explaining the 2nd example of the semi-conductor manufacture approach concerning this invention. Drawing 2 (a) shows the condition at the time of wafer process completion, and the street 2 of the shape of plane grating which divides into the front face (chip forming face) of a wafer 1 between chips (un-illustrating) is formed in this condition. When dividing this wafer 1 into each chip, as first shown in drawing 2 (b), the cut groove 3 of the predetermined depth is formed along the street 2 on a wafer 1. It is the same as that of the case of the 1st example of the above so far.

[0019] Then, as shown in drawing 2 (c), on the front face of a wafer 1, it applies with a spin coat method and the coat material 11 is both filled up with \*\*\*\* 2 example into the cut groove 3 which covers a wafer front face with the coat material 11 and which was formed previously for the coat material 11 which carried out heating liquefaction. Then, the coat material 11 applied to the wafer front face is solidified with natural air cooling or forced cooling. If the wafer 1 is incidentally beforehand heated to temperature comparable as the coat material 11 before applying the coat material 11, the homogeneity of a spin coat rises and is suitable.

[0020] Subsequently, as shown in drawing 2 (d), masking tape 4 is stuck on the front face of a wafer 1 through the coat material 11, and a wafer 1 is divided into each chip 5 bordering on a cut groove 3 by carrying out grinding of the rear face of a wafer 1 with a back grinder (un-illustrating) from this condition.

[0021] Furthermore, when moving and changing into a tray the chip 5 divided from the wafer 1, as shown in drawing 2 (e), a picker 6 is poked from Kamigata of masking tape 4, a chip 5 is depressed, adsorption maintenance is carried out by the collet 10 which thrust this up from the lower part, and it transfers to the stowage 7 of a tray 8 as it is. About the transfer approach of a chip, it is the same as that of the case of the 1st example of the above almost.



[0022] Thus, it sets to the semi-conductor manufacture approach of \*\*\*\* 2 example. After forming a cut groove 3 in the front face of a wafer 1 along a street 2, in order to carry out grinding of the rear face of a wafer 1 and to divide a wafer 1 into each chip 5 bordering on a cut groove 3, Like the 1st example of the above, since the reinforcement of the wafer itself and rigidity at the time of wafer conveyance after wafer process completion and electrical-characteristics measurement are fully secured, the crack and chip of a wafer like before are prevented.

[0023] Moreover, since a cut groove 3 is embedded by the coat material 11 applied to the front face of a wafer 1, masking tape 4 is stuck from this condition and it was made to carry out grinding of the rear face of a wafer 1 in the \*\*\*\* 2 example after forming the cut groove 3 for chip division. The fixed condition of the chip 5 divided in the middle of rear-face grinding becomes what was stabilized by the coat material 11 embedded at the cut groove 3, and generating of the crack accompanying jogging of the chip 5 at the time of rear-face grinding is beforehand prevented by this.

[0024] Furthermore, since a chip 5 is transferable to a tray 8 also in \*\*\*\* 2 example with the same procedure as the 1st example of the above, the transfer procedure of a chip is simplified compared with the former, and the chip 5 divided from the wafer 1 can be efficiently transferred to a tray 8.

[0025] Drawing 3 is drawing explaining the 3rd example of the semi-conductor manufacture approach concerning this invention. Drawing 3 (a) shows the condition at the time of wafer process completion, and the street 2 of the shape of plane grating which divides into the front face (chip forming face) of a wafer 1 between chips (un-illustrating) is formed in this condition. When you divide this wafer 1 into each chip, as first shown in drawing 3 (b), the cut groove 3 of the predetermined depth is formed along the street 2 on a wafer 1, and where masking tape 4 is stuck on the front face of a wafer 1 after that, carry out grinding of the rear face of a wafer 1, and let thickness of a wafer 1 be the finishing thickness of a final chip. Here, in the case of \*\*\*\* 3 example, the amount of slitting of the diamond blade to a wafer 1 is set up smaller than the finishing thickness of a final chip, and it makes the depth dimension of the cut groove 3 from a chip front face a little more smallish than chip finishing thickness.

[0026] Subsequently, as shown in drawing 3 (c), the wafer sheet 12 is stuck on the rear face of a wafer 1, and the front rear face of a wafer 1 is covered with masking tape 4 and the wafer sheet 12. Then, crack 1a in alignment with the crystallographic axis of a wafer 1 is generated by giving mechanical bending stress to the wafer 1 whole by the roller taking-a-break method etc., and as this shows drawing 3 (d), a wafer 1 is divided into each chip 5 bordering on a cut groove 3. As shown in drawing 3 (e), after exfoliating masking tape 4 from the front face of a chip 5 henceforth, the wafer sheet 12 is extended to a circumferencial direction, and a chip 5 is transferred to a piece [ every ] tray (un-illustrating) by the collet which does not extend and illustrate spacing of chip 5 comrades.

[0027] Thus, it sets to the semi-conductor manufacture approach of \*\*\*\* 3 example. After forming a cut groove 3 in the front face of a wafer 1 along a street 2, in order to carry out grinding of the rear face of a wafer 1, to give the still more mechanical bending stress to the wafer 1 whole and to divide a wafer 1 into each chip 5 bordering on a cut groove 3, Like the 1st example of the above, and the 2nd example, since the reinforcement of the wafer itself and rigidity at the time of wafer conveyance after wafer process completion and electrical-characteristics measurement are fully secured, the crack and chip of a wafer like before are prevented.

[0028] Moreover, in the \*\*\*\* 3 example, since a wafer 1 is not divided completely but it is still divided by grant of subsequent mechanical bending stress also where it carried out grinding of the rear face of a wafer 1 and wafer thickness is processed into final chip finishing thickness (condition of drawing 3 (c)), grinding of the rear face of a wafer 1 can be carried out under the fixed condition stabilized very much.

[0029]

[Effect of the Invention] Since according to the semi-conductor manufacture approach of this invention a wafer is dealt with with the thickness at the time of wafer process completion until





just before dividing a wafer and the reinforcement of the wafer itself and rigidity at the time of wafer conveyance and electrical-characteristics measurement are fully secured as explained above, it becomes possible to prevent the crack and chip of a wafer at the time of dividing a wafer into each chip. A thin wafer about 200 micrometers or less and a diameter have [ especially this ] it, when chip finishing thickness which is represented by the IC card deals with a large-sized wafer 8 inches or more etc. [ very effective ]

---

[Translation done.]

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the 1st example of the semi-conductor manufacture approach concerning this invention.

[Drawing 2] It is drawing explaining the 2nd example of the semi-conductor manufacture approach concerning this invention.

[Drawing 3] It is drawing explaining the 3rd example of the semi-conductor manufacture approach concerning this invention.

[Drawing 4] It is drawing explaining the conventional semi-conductor manufacture approach.

[Description of Notations]

1 Wafer

2 Street

3 Cut Groove

5 Chip

---

[Translation done.]

**This Page Blank (uspto)**